



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Daisaburo TAKASHIMA

GAU:

SERIAL NO: 10/615,181

EXAMINER:

FILED: July 9, 2003

FOR: SEMICONDUCTOR MEMORY DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

JAPAN

2002-200776

July 10, 2002

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.

Registration No. 26,803



22850

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 7月10日  
Date of Application:

出願番号 特願2002-200776  
Application Number:  
[ST. 10/C]: [JP 2002-200776]

出願人 株式会社東芝  
Applicant(s):

2003年 7月23日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3058369

【書類名】 特許願

【整理番号】 A000202250

【提出日】 平成14年 7月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体記憶装置

【請求項の数】 22

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
イクロエレクトロニクスセンター内

【氏名】 高島 大三郎

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

## 【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

## 【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

## 【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

## 【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

## 【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書  
【発明の名称】 半導体記憶装置  
【特許請求の範囲】

【請求項 1】 少なくとも原子 A、原子 B、原子 O からなる  $ABO_3$  系結晶構造、または、 $ABO_3$  系ペロブスカイト構造を有する強誘電体材料を用いた強誘電体素子に対する印加電界を制御することにより、前記原子 B が原子 A 或いは原子 O に対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、

一つの強誘電体素子内で、前記原子 B が、第 1 の方向の両端の 2 点と、前記第 1 の方向に垂直な第 2 の方向の両端の 2 点の計 4 点の位置で 2 ビットの情報を記憶することを特徴とする半導体記憶装置。

【請求項 2】 少なくとも原子 A、原子 B、原子 C、原子 O からなる  $AB_xC(1-x)O_3$  系結晶構造、または、 $AB_xC(1-x)O_3$  系ペロブスカイト構造を有する強誘電体材料を用いた強誘電体素子に対する印加電界を制御することにより、前記原子 B 又は原子 C が原子 A 或いは原子 O に対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、

一つの強誘電体素子内で、前記原子 B 又は原子 C が、第 1 の方向の両端の 2 点と、前記第 1 の方向に垂直な第 2 の方向の両端の 2 点の計 4 点の位置で 2 ビットの情報を記憶することを特徴とする半導体記憶装置。

【請求項 3】 強誘電体素子に対する印加電界を制御することにより、第 1 の原子が他の原子に対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、

一つの強誘電体素子内で、前記第 1 の原子が、第 1 の方向の両端の 2 点と、前記第 1 の方向に垂直な第 2 の方向の両端の 2 点の計 4 点の位置で 2 ビットの情報を記憶することを特徴とする半導体記憶装置。

【請求項 4】 前記 4 点の位置への原子の移動は、第 1 の電界および前記第 1 の電界に対して逆方向の第 2 の電界と、前記第 1 の電界に対して垂直方向の第 3 の電界および前記第 3 の電界に対して逆方向の第 4 の電界を用いて行うことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体記憶装置。

【請求項 5】 前記 4 点の位置への原子の移動は、前記強誘電体素子に近接して配置された 4 つの電極に対する印加電圧を制御して発生する電界を用いて行うことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体記憶装置。

【請求項 6】 前記強誘電体素子は、少なくとも  $\text{BaTiO}_3$  を含むことを特徴とする請求項 1 または 3 記載の半導体記憶装置。

【請求項 7】 前記強誘電体素子は、少なくとも  $\text{PbZr}_x\text{Ti}_{(1-x)}\text{O}_3$  を含むことを特徴とする請求項 2 または 3 記載の半導体記憶装置。

【請求項 8】 前記強誘電体素子は、少なくとも  $(\text{BiLa})_4\text{Ti}_3\text{O}_{12}$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$  のいずれかを含むことを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 9】 少なくとも原子 A、原子 B、原子 O からなる  $\text{ABO}_3$  系結晶構造、または、 $\text{ABO}_3$  系ペロブスカイト構造の強誘電体素子に対する印加電界を制御することにより、前記原子 B が原子 A 或いは原子 O に対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、  
一つの強誘電体素子内で、前記原子 B が、第 1 の方向の両端の 2 点と、前記第 1 の方向に垂直な第 2 の方向の両端の 2 点と、前記第 1 の方向および前記第 2 の方向に垂直な第 3 の方向の両端の 2 点の計 6 点の位置で多ビットの情報を記憶することを特徴とする半導体記憶装置。

【請求項 10】 少なくとも原子 A、原子 B、原子 C、原子 O からなる  $\text{AB}_x\text{C}_{(1-x)}\text{O}_3$  系結晶構造、または、 $\text{AB}_x\text{C}_{(1-x)}\text{O}_3$  系ペロブスカイト構造の強誘電体素子に対する印加電界を制御することにより、前記原子 B 又は原子 C が原子 A 或いは原子 O に対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、

一つの強誘電体素子内で、前記原子 B 又は原子 C が、第 1 の方向の両端の 2 点と、前記第 1 の方向に垂直な第 2 の方向の両端の 2 点と、前記第 1 の方向および前記第 2 の方向に垂直な第 3 の方向の両端の 2 点の計 6 点の位置で多ビットの情報を記憶することを特徴とする半導体記憶装置。

【請求項 11】 強誘電体素子に対する印加電界を制御することにより、第 1 の原子が他の原子に対して相対的に位置が移動し、安定点で残留分極としてデ

ータを記憶する半導体記憶装置において、

一つの強誘電体素子内で、前記第 1 の原子が、第 1 の方向の両端の 2 点と、前記第 1 の方向に垂直な第 2 の方向の両端の 2 点と、前記第 1 の方向および前記第 2 の方向に垂直な第 3 の方向の両端の 2 点の計 6 点の位置で多ビットの情報を記憶することを特徴とする半導体記憶装置。

【請求項 12】 前記 6 点の位置への原子の移動は、第 1 の電界および前記第 1 の電界に対して逆方向の第 2 の電界と、前記第 1 の電界に対して垂直方向の第 3 の電界および前記第 3 の電界に対して逆方向の第 4 の電界と、前記第 1 の電界および前記第 3 の電界に対して垂直方向の第 5 の電界および前記第 5 の電界に対して逆方向の第 6 の電界を用いて行うことを特徴とする請求項 9 乃至 11 のいずれか 1 項に記載の半導体記憶装置。

【請求項 13】 前記 6 点の位置への原子の移動は、前記強誘電体素子に近接して配置された 6 つの電極に対する印加電圧を制御して発生する電界を用いて行うことを特徴とする請求項 9 乃至 11 のいずれか 1 項に記載の半導体記憶装置。

【請求項 14】 前記強誘電体素子は、少なくとも  $\text{BaTiO}_3$  を含むことを特徴とする請求項 9 または 11 記載の半導体記憶装置。

【請求項 15】 前記強誘電体素子は、少なくとも  $\text{PbZr}_x\text{Ti}_{(1-x)}\text{O}_3$  を含むことを特徴とする請求項 10 または 11 記載の半導体記憶装置。

【請求項 16】 前記強誘電体素子は、少なくとも  $(\text{BiLa})_4\text{Ti}_3\text{O}_{12}$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$  を含むことを特徴とする請求項 11 記載の半導体記憶装置。

【請求項 17】 一つの強誘電体素子に 3 個以上の電極が接触し、3 値以上の情報を記憶することを特徴とする半導体記憶装置。

【請求項 18】 一つの強誘電体素子に 3 個以上の電極が接触し、3 値以上の情報を記憶し、前記電極のうちの少なくとも 1 個以上の電極はトランジスタを介してデータ読み出し線に接続されることを特徴とする半導体記憶装置。

【請求項 19】 一つの強誘電体素子内で第 1 の原子が 2 次元平面上の 3 個以上の点に移動することより、3 値以上のデータを保持することを特徴とする半

導体記憶装置。

【請求項 2 0】 一つの強誘電体素子内で第 1 の原子が 3 次元平面上の 3 個以上の点に移動することより、3 値以上のデータを保持することを特徴とする半導体記憶装置。

【請求項 2 1】 一つの強誘電体素子に対して、第 1 の電極、第 2 の電極、第 3 の電極および第 4 の電極が接触し、前記第 1 の電極および前記第 2 の電極に対応して第 1 のトランジスタのソース端子およびドレイン端子が接続され、前記第 3 の電極および前記第 4 の電極に対応して第 2 のトランジスタのソース端子およびドレイン端子が接続されることによって一つのメモリセルが構成され、前記一つのメモリセルに 2 ビット以上の情報を記憶することを特徴とする半導体記憶装置。

【請求項 2 2】 前記第 1 のトランジスタのソース端子およびドレイン端子を第 1 の 2 端子とし、前記第 2 のトランジスタのソース端子およびドレイン端子を第 2 の 2 端子とし、複数の前記メモリセルの第 1 の 2 端子同士が直列接続されるとともに前記第 2 の 2 端子同士が直列接続されてメモリセルユニットを構成することを特徴とする請求項 2 1 記載の半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体記憶装置に係り、特に情報記憶用の強誘電体キャパシタの構造およびそれを用いた強誘電体メモリセルの回路に関するもので、例えば強誘電体メモリに使用されるものである。

【0 0 0 2】

【従来の技術】

半導体メモリは、大型コンピュータの主記憶から、パーソナルコンピュータ、家電製品、携帯電話等、至る所で利用されている。半導体メモリの種類としては、揮発性の D R A M (Dynamic R A M)、S R A M (Static R A M)、不揮発性の M R O M (Mask R O M)、Flash E<sup>2</sup> P R O M等が市場に出まわっている。特に、D R A Mは揮発性メモリであるにも関わらず、その低コスト性 (S R A Mに比



べてセル面積が $1/4$ ）、高速性（Flash  $E^2$  P R O M）の点で優れており、市場の殆んどを占めているのが現状である。書き換え可能で不揮発性のFlash  $E^2$  P R O Mは、不揮発性であり、電源を切ることが可能ではあるが、書き換え（W／E）回数が $10^6$ 程度しかなく、書き込む時間がマイクロ秒程度かかり、さらに書き込みに高電圧（ $12\text{ V} \sim 22\text{ V}$ ）を印可する必要がある等の欠点があるので、D R A M程は市場がひらけていない。

#### 【0 0 0 3】

これに対して、強誘電体キャパシタ（Ferroelectric Capacitor）を用いた不揮発性メモリ（Nonvolatile Ferroelectric Memory）は、不揮発性であり、しかも、書き換え回数が $10^{12}$ 程度、読み出し／書き込み（R／W）時間がD R A M程度、 $3\text{ V}$ 動作等の長所があるので、全メモリ市場を置き換える可能性があり、各メーカーが開発を行っている。

#### 【0 0 0 4】

図16（a）、（b）は、従来の強誘電体キャパシタの構造およびそれを用いた強誘電体メモリセルの等価回路を示す。

#### 【0 0 0 5】

図16（a）に示す強誘電体キャパシタは、電界と残留磁界との関係がヒステリシス特性を有する例えば $\text{PbZr}_x\text{Ti}_{(1-x)}\text{O}_3$ のペロブスカイト(perovskite)構造の強誘電体膜を2つの電極1、2で挟む構造を有する。そして、2つの電極1、2間に電圧を印加して電界を発生させて分極の方向を変えることにより、1ビットの情報を記憶させることが可能である。

#### 【0 0 0 6】

図16（b）に示す強誘電体メモリセルは、選択用トランジスタQと前述した強誘電体キャパシタCとがデータ線（ビット線B L）とプレート線P Lとの間に直列に接続されている。

#### 【0 0 0 7】

したがって、図16（b）中に示すワード線W Lの駆動電圧により選択用トランジスタQをオン状態にし、プレート線P Lの駆動電圧により分極反転を行わせることにより、ビット線B Lから強誘電体キャパシタCに対してデータを読み書

きすることが可能である。

#### 【0 0 0 8】

図 1 6 ( c ) 、 ( d ) は、図 1 6 ( a ) に示した強誘電体キャパシタ中の強誘電体膜の結晶構造および情報を記憶する分極位置を示す。

#### 【0 0 0 9】

強誘電体膜は、通常、 $PZT (PbZr_xTi_{(1-x)}O_3)$  のような  $ABO_3$  系、または、 $AB_xC_{(1-x)}O_3$  系のペロブスカイト構造を持つ材料が用いられる。例えば  $PbZr_xTi_{(1-x)}O_3$  は、O 原子(O-atom)、Pb 原子(Pb-atom) で囲まれた構造の中に、電界により原子位置が動く Ti 原子(Ti-atom) 或いは Zr 原子(Zr-atom) が配置されたペロブスカイト構造を持つ。

#### 【0 0 1 0】

そして、図 1 6 ( c ) 中に示すように上から下への電界(Field) を発生させるように両端の電極間に電圧を印加すると、4 価の Ti 原子は中心から下方向に移動し、電界を 0 に戻しても中心から下の位置で安定する。これは、中心から下の部分にポテンシャル(Potential) の低い箇所があることによる。

#### 【0 0 1 1】

また、図 1 6 ( d ) 中に示すように下から上への電界を発生させるように両端の電極間に電圧を印加すると、4 価の Ti 原子は中心から上方向に移動し、電界を 0 に戻しても中心から上の位置で安定する。これは、中心から上の部分にもポテンシャルの低い箇所があることによる。

#### 【0 0 1 2】

しかし、上述したような従来の強誘電体メモリセルにおいては、1 つの強誘電体キャパシタに対して 2 値 ( “ 1 ” と “ 0 ” ) 、即ち、1 ビットの情報しか記憶することができず、高集積化の進歩に限界があった。

#### 【0 0 1 3】

なお、本願発明者は、特開平 1 0 - 2 5 5 4 8 3 の「半導体記憶装置とそれを搭載したシステム」、特開平 1 1 - 1 7 7 0 3 6 の「半導体記憶装置」、特開 2 0 0 0 - 2 2 0 1 0 の「半導体記憶装置」等により、強誘電体メモリセルの高集積化を実現する構成を提案した。これらの提案は、強誘電体キャパシタと選択ト

ランジスタとを並列接続し、それらを複数個を直列接続して強誘電体メモリセルユニットを構成する方式に関するものであるが、1つの強誘電体キャパシタに対して2値の情報を記憶するものであった。

#### 【0014】

##### 【発明が解決しようとする課題】

上記したように従来の強誘電体メモリセルを用いた強誘電体メモリは、1つの強誘電体膜中に2値の情報しか記憶することができず、高集積化に限界があるという問題があった。

#### 【0015】

本発明は上記の問題点を解決すべくなされたもので、1つの強誘電体膜中に3値以上の多値の分極データを記憶可能な強誘電体メモリセルを実現でき、より高密度化、高集積化を実現し得る半導体記憶装置を提供することを目的とする。

#### 【0016】

##### 【課題を解決するための手段】

本発明の第1の半導体記憶装置は、少なくとも原子A、原子B、原子Oからなる $ABO_3$ 系結晶構造、または、 $ABO_3$ 系ペロブスカイト構造を有する強誘電体材料を用いた強誘電体素子に対する印加電界を制御することにより、前記原子Bが原子A或いは原子Oに対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、一つの強誘電体素子内で、前記原子Bが、第1の方向の両端の2点と、前記第1の方向に垂直な第2の方向の両端の2点の計4点の位置で2ビットの情報を記憶することを特徴とする。

#### 【0017】

本発明の第2の半導体記憶装置は、少なくとも原子A、原子B、原子C、原子Oからなる $AB_xC(1-x)O_3$ 系結晶構造、または、 $AB_xC(1-x)O_3$ 系ペロブスカイト構造を有する強誘電体材料を用いた強誘電体素子に対する印加電界を制御することにより、前記原子B又は原子Cが原子A或いは原子Oに対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、一つの強誘電体素子内で、前記原子B又は原子Cが、第1の方向の両端の2点と、前記第1の方向に垂直な第2の方向の両端の2点の計4点の位置で2

ビットの情報を記憶することを特徴とする。

【0018】

本発明の第3の半導体記憶装置は、強誘電体素子に対する印加電界を制御することにより、第1の原子が他の原子に対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、一つの強誘電体素子内で、前記第1の原子が、第1の方向の両端の2点と、前記第1の方向に垂直な第2の方向の両端の2点の計4点の位置で2ビットの情報を記憶することを特徴とする。

【0019】

本発明の第4の半導体記憶装置は、少なくとも原子A、原子B、原子Oからなる $ABO_3$ 系結晶構造、または、 $ABO_3$ 系ペロブスカイト構造の強誘電体素子に対する印加電界を制御することにより、前記原子Bが原子A或いは原子Oに対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、一つの強誘電体素子内で、前記原子Bが、第1の方向の両端の2点と、前記第1の方向に垂直な第2の方向の両端の2点と、前記第1の方向および前記第2の方向に垂直な第3の方向の両端の2点の計6点の位置で多ビットの情報を記憶することを特徴とする。

【0020】

本発明の第5の半導体記憶装置は、少なくとも原子A、原子B、原子C、原子Oからなる $AB_xC(1-x)O_3$ 系結晶構造、または、 $AB_xC(1-x)O_3$ 系ペロブスカイト構造の強誘電体素子に対する印加電界を制御することにより、前記原子B又は原子Cが原子A或いは原子Oに対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、一つの強誘電体素子内で、前記原子B又は原子Cが、第1の方向の両端の2点と、前記第1の方向に垂直な第2の方向の両端の2点と、前記第1の方向および前記第2の方向に垂直な第3の方向の両端の2点の計6点の位置で多ビットの情報を記憶することを特徴とする。

【0021】

本発明の第6の半導体記憶装置は、強誘電体素子に対する印加電界を制御する

ことにより、第 1 の原子が他の原子に対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、一つの強誘電体素子内で、前記第 1 の原子が、第 1 の方向の両端の 2 点と、前記第 1 の方向に垂直な第 2 の方向の両端の 2 点と、前記第 1 の方向および前記第 2 の方向に垂直な第 3 の方向の両端の 2 点の計 6 点の位置で 2 ビットの情報を記憶することを特徴とする。

#### 【 0 0 2 2 】

本発明の第 7 の半導体記憶装置は、一つの強誘電体素子に 3 個以上の電極が接触し、3 値以上の情報を記憶することを特徴とする。

#### 【 0 0 2 3 】

本発明の第 8 の半導体記憶装置は、一つの強誘電体素子に 3 個以上の電極が接触し、3 値以上の情報を記憶し、前記電極のうちの少なくとも 1 個以上の電極はトランジスタを介してデータ読み出し線に接続されることを特徴とする。

#### 【 0 0 2 4 】

本発明の第 9 の半導体記憶装置は、一つの強誘電体素子内で第 1 の原子が 2 次元平面上の 3 個以上の点に移動することより、3 値以上のデータを保持することを特徴とする。

#### 【 0 0 2 5 】

本発明の第 1 0 の半導体記憶装置は、一つの強誘電体素子内で第 1 の原子が 3 次元平面上の 3 個以上の点に移動することより、3 値以上のデータを保持することを特徴とする。

#### 【 0 0 2 6 】

本発明の第 1 1 の半導体記憶装置は、一つの強誘電体素子に対して、第 1 の電極、第 2 の電極、第 3 の電極および第 4 の電極が接触し、前記第 1 の電極および前記第 2 の電極に対応して第 1 のトランジスタのソース端子およびドレイン端子が接続され、前記第 3 の電極および前記第 4 の電極に対応して第 2 のトランジスタのソース端子およびドレイン端子が接続されることによって一つのメモリセルユニットが構成され、前記一つのメモリセルユニットに 2 ビット以上の情報を記憶することを特徴とする。

## 【 0 0 2 7 】

本発明の第 1 2 の半導体記憶装置は、前記第 1 1 の半導体記憶装置における前記第 1 のトランジスタのソース端子およびドレイン端子を第 1 の 2 端子とし、前記第 2 のトランジスタのソース端子およびドレイン端子を第 2 の 2 端子とし、複数の前記メモリセルの第 1 の 2 端子同士が直列接続されるとともに前記第 2 の 2 端子同士が直列接続されてメモリセルブロックを構成することを特徴とする。

## 【 0 0 2 8 】

## 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

## 【 0 0 2 9 】

## &lt; 第 1 の実施形態 &gt;

図 1 ( a ) は、第 1 の実施形態に係る強誘電体メモリの強誘電体メモリセルに用いられる強誘電体キャパシタの強誘電体膜の結晶構造および情報を記憶する分極位置を示す鳥瞰図である。

## 【 0 0 3 0 】

図 1 ( a ) は、強誘電体キャパシタの強誘電体膜として、少なくとも原子 A、原子 B、原子 O からなる  $ABO_3$  系結晶構造あるいは  $ABO_3$  系ペロブスカイト構造を有する強誘電体材料を持つ例を示しており、図中に示す X 軸、Y 軸、Z 軸のどの方向に  $90^\circ$  回転しても同じ構造である。

## 【 0 0 3 1 】

図示の結晶構造は、8 個の A 原子 (A-atom) の中に 6 個の O 原子 (O-atom) があり、中央に 4 価或いは 2 価の B 原子 (B-atom) があり、B 原子は、結晶の中央からずれた点 (結晶の中央に対してその 2 次元方向に離れた点) に存在するポテンシャルの低い点で安定し、この安定点は情報を記憶する分極位置である。

## 【 0 0 3 2 】

上記強誘電体膜は、図 1 ( a ) に示したように、Y 軸方向に正の電界 (Field) あるいは負の電界 (Field) を印加して B 原子を A 原子或いは O 原子に対して相対的に移動させることにより、Y 軸方向の両端に存在する安定点で残留分極としてデータを記憶する。さらに、X 軸方向に正の電界あるいは負の電界を印加して B

原子を A 原子或いは O 原子に対して相対的に移動させることにより、X 軸方向の両端に存在する安定点で残留分極としてデータを記憶する。

#### 【0 0 3 3】

図 1 (b)、(c)、(d) は、図 1 (a) をより明確にするため、強誘電体膜の結晶構造を X-Y、Y-Z、Z-X 面から見た場合の分極位置を示す。なお、図 1 (c)、(d) 中、2 重丸の記号は手前方向に向かう電界、丸の中に X 印の記号は奥方向に向かう電界を示す。

#### 【0 0 3 4】

即ち、上記した実施形態の強誘電体キャパシタは、強誘電体膜の 2 次元方向に対して電界を印加することによって、原子 B の位置が第 1 の方向の両端の 2 点および第 1 の方向に垂直な第 2 の方向の両端の 2 点の計 4 点で、4 値の情報、即ち、2 ビットの情報を 1 つの強誘電体膜中に記憶させることができる。

#### 【0 0 3 5】

換言すれば、上記した実施形態の強誘電体キャパシタは、一つの強誘電体膜中のペロブスカイト構造内で、特定の原子が他の原子に対して 2 次元平面上の 3 つ以上の位置で安定点を持つことに着目している。

#### 【0 0 3 6】

そして、書き込み時には、複数の安定点に特定の原子を移動させるために、強誘電体膜に近接して配置された 3 個以上の複数の電極の電圧を制御して 2 次元方向に対して 3 種類以上の電界ベクトルを発生させ、特定の原子を前記 3 つ以上の安定点相互間で移動させるることにより 3 値以上の分極データを書き込むことができる。読み出し時には、1 個以上の電極に電圧を印加し、他の電極から放出される電荷量を判断することにより、3 値以上のデータを認識することができる。結果として、より高密度、高集積化が可能な強誘電体メモリを実現することができる。

#### 【0 0 3 7】

なお、従来の強誘電体キャパシタは、強誘電体膜のある 1 次元方向に対して電界を印加して B 原子を移動させることにより、1 次元方向の両端のポテンシャルが低い箇所 B 原子が安定点を持たせることによって、2 値の情報を 1 つの強誘

電体膜に記憶させていたに過ぎない。

#### 【0038】

本発明において、強誘電体素子（本例では強誘電体キャパシタの強誘電体膜）として、少なくとも原子A、原子B、原子C、原子Oからなる  $AB_x C(1-x) O_3$  系結晶構造あるいは  $AB_x C(1-x) O_3$  系ペロブスカイト構造を有する強誘電体材料を用いることも可能である。この場合、強誘電体膜の2次元方向に対して印加する電界を制御することによって、原子B又は原子Cが原子A或いは原子Oに対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する。

#### 【0039】

本発明を適用することができる強誘電体膜の材料は、 $ABO_3$  系結晶構造あるいは  $ABO_3$  系ペロブスカイト構造を有する強誘電体材料、 $AB_x C(1-x) O_3$  系結晶構造あるいは  $AB_x C(1-x) O_3$  系ペロブスカイト構造を有する強誘電体材料である。具体例として、 $BaTiO_3$ 、 $PbZr_x Ti(1-x) O_3$ 、 $(BiLa)_4 Ti_3 O_{12}$ 、 $Bi_4 Ti_3 O_{12}$ 、 $SrBi_2 Ta_2 O_9$  を含む材料が挙げられる。例えば  $PZT (PbZr_x Ti(1-x) O_3)$  では、A原子はPb原子、O原子はO（酸素）原子、B原子はTi原子或いはZr原子に対応する。

#### 【0040】

なお、強誘電体膜は、材料、組成により、結晶軸も変わるし、ポテンシャルの分布も変わるので、電界方向とB原子の移動方向が完全に一致しても良いし、電界方向とB原子の移動方向の角度がずれても、電界がB原子移動方向の分解ベクトルである程度の大きさを持っていれば、安定点への移動が可能となる。

#### 【0041】

例えば、 $SrBi_2 Ta_2 O_9$  は、Layered ペロブスカイト構造であり、X軸、Y軸、Z軸に対して対称ではないが、X軸、Y軸では対象にすることができるので、2次元方向での安定点を実現することができ、本発明により多値記憶を実現することができる。

#### 【0042】

なお、X軸、Y軸、Z軸は、必ずしも(100)、(110)、(111)結晶軸、a、b、c軸等に対応しなくても良い。即ち、強誘電体膜形成前の下地の



結晶方向により軸の角度が変わり、結晶の材料、組成により安定点の数や、方向が変わるので、X軸、Y軸、Z軸は互いに90°ずれていれば良い。

#### 【0043】

##### <第2の実施形態>

強誘電体膜の材料は、組成比を変えると、前記B原子の安定点な位置をもつ軸方向が変わる。第2の実施形態では、例えば第1の実施形態で示した $PbZr_xTi(1-x)O_3$ のZrとTiの組成比を変えることにより、安定点な位置をもつ軸方向を45°変えた場合を説明する。

#### 【0044】

図2は、第2の実施形態に係る強誘電体メモリセルの強誘電体膜の材料として $PbZr_xTi(1-x)O_3$ を用いた場合の結晶構造および情報を記憶する分極位置をX-Y面から見て示す。

#### 【0045】

図2に示す構造は、図1(a)に示した構造と比べて、安定点の方向がX軸、Y軸に対して45°ずれた位置に近い。これにより、X軸、Y軸に対して45°ずれた方向の第1の電界とその反対方向の電界で2つの安定点に到達することができ、さらに、第1の電界に対して90°ずれた第2の電界とその反対方向の電界で2つの安定点に到達することができる。これによって、4値の情報を1つの強誘電体膜に記憶させることができる。

#### 【0046】

##### <第3の実施形態>

第3の実施形態では、前記 $PbZr_xTi(1-x)O_3$ とは別の組成を有する強誘電体膜の材料を用いる場合、あるいは、前記したB原子の安定点をより多数持った強誘電体膜の材料を用いる場合を説明する。

#### 【0047】

図3は、第3の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造および分極位置を示す鳥瞰図である。

#### 【0048】

図3に示す構造は、図1(a)に示した構造と比べて、安定点の方向がX軸、

Y軸に対して $45^\circ$ ずれた位置に近い。これにより、X軸、Y軸、Z軸に対して $45^\circ$ ずれた方向の第1の電界とその反対方向の電界で2つの安定点に到達することができ、さらに、第1の電界に対して $90^\circ$ ずれた第2の電界とその反対方向の電界で2つの安定点に到達することができる。したがって、4値のデータを1つの強誘電体膜に記憶させることができる。

#### 【0049】

##### <第4の実施形態>

第4の実施形態では、強誘電体膜の結晶構造中の3次元方向の安定点によって、6値のデータを1つの強誘電体膜に記憶させる場合を説明する。

#### 【0050】

図4(a)は、第4の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造および分極位置を示す鳥瞰図である。

#### 【0051】

図4(b)は、図4(a)をより明確にするため、強誘電体膜の結晶構造をX-Y面から見た場合の分極位置を示す。なお、図中、2重丸の記号は手前方向に向かう電界、丸の中にX印の記号は奥方向に向かう電界を示す。

#### 【0052】

ここでは、強誘電体キャパシタの強誘電体膜として、 $ABO_3$ のペロブスカイトの結晶構造を持つ例を示しており、図中に示すX軸、Y軸、Z軸のどの方向に $90^\circ$ 回転しても同じ構造である。

#### 【0053】

8個のA原子(A-atom)の中に、6個のO原子(O-atom)があり、中央に4価或いは2価のB原子(B-atom)がある。例えば $PbZr_{1-x}Ti_xO_3$ では、前記A原子はPb原子、前記O原子はO(酸素)原子、前記B原子はTi原子或いはZr原子に対応したペロブスカイト構造である。

#### 【0054】

この場合、B原子は、結晶の中央にポテンシャルの低い点があるわけではなく、結晶の中央からずれた点(結晶の中央に対してその3次元方向に離れた点)に存在するポテンシャルの低い点で安定し、この安定点は情報を記憶する分極位置で

ある。

【0055】

即ち、Y軸方向に正と負の電界を印加してB原子を（A原子或いはO原子に対して相対的に）移動させることにより、Y軸方向の両端に安定点を持つ。さらに、X軸方向に正と負の電界を印加してB原子を移動させることにより、X軸方向の両端に安定点を持つ。さらに、Z軸方向に正と負の電界を印加してB原子を移動させることにより、Z軸方向の両端に安定点を持つ。これによって、6値の情報を1つの強誘電体膜に記憶させることができる。

【0056】

即ち、上記した実施形態の強誘電体キャパシタは、強誘電体膜の3次元方向に対して電界を印加することによって、原子Bの位置が第1の方向の両端の2点、第1の方向に垂直な第2の方向の両端の2点、これらの第1の方向および第2の方向に垂直な第3の方向の両端の2点で、6値の情報、即ち、3ビットの情報を1つの強誘電体膜中に記憶させることができる。

【0057】

これに対して、従来の強誘電体キャパシタは、強誘電体膜のある1次元方向に対して電界を印加してB原子を移動させることにより、1次元方向の両端のポテンシャルが低い箇所でB原子が安定点を持たせることによって、2値の情報を1つの強誘電体膜に記憶させていたに過ぎない。

【0058】

換言すれば、上記した実施形態の強誘電体キャパシタは、一つの強誘電体膜中のペロブスカイト構造内で、特定の原子が、他の原子に対して3次元平面上の6つ以上の位置で安定点を持つことに着目し、電極の電圧を制御することによって特定の原子を前記6つ以上の安定点相互間で移動させることにより3値以上の分極データを記憶させることができ、結果として、より高密度、高集積化が可能な強誘電体メモリを実現することができる。

【0059】

なお、強誘電体膜は、材料、組成により、結晶軸も変わるし、ポテンシャルの分布も変わるので、電界方向とB原子の移動方向が完全に一致しても良いし、電

界方向とB原子の移動方向の角度がずれても、電界がB原子移動方向の分解ベクトルである程度の大きさを持っていれば、安定点への移動が可能となる。

#### 【0060】

本発明に適用することができる強誘電体膜の材料例として、 $\text{BaTiO}_3$ 、 $\text{PbZr}_x\text{Ti}(1-x)\text{O}_3$ 、 $(\text{BiLa})_4\text{Ti}_3\text{O}_{12}$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を含む材料が挙げられる。

#### 【0061】

##### <第5の実施形態>

強誘電体膜の材料は、組成比を変えると、前記B原子の安定点な位置をもつ軸方向が変わる。第5の実施形態では、例えば第4の実施形態で示した $\text{PbZr}_x\text{Ti}(1-x)\text{O}_3$ のZrとTiの組成比を変えることにより、安定点な位置をもつ軸方向を $45^\circ$ 変えた場合を説明する。

#### 【0062】

図5は、第5の実施形態に係る強誘電体メモリセルの強誘電体膜の材料として $\text{PbZr}_x\text{Ti}(1-x)\text{O}_3$ を用いた場合の結晶構造および分極位置をX-Y面から見て示す。

#### 【0063】

図5に示す結晶構造は、図4(b)に示した結晶構造と比べて、安定点の方向がX軸、Y軸に対して $45^\circ$ ずれた位置に近い。これにより、X軸、Y軸に対して $45^\circ$ ずれた方向の第1の電界とその反対方向の電界で2つの安定点に到達することができ、さらに、第1の電界に対して $90^\circ$ ずれた第2の電界とその反対方向の電界で2つの安定点に到達することができ、さらに、第1の電界および第2の電界に対して $90^\circ$ ずれた第3の電界とその反対反対の電界で2つの安定点に到達することができる。これによって、6値の情報を1つの強誘電体膜に記憶させることができる。

#### 【0064】

##### <第6の実施形態>

第6の実施形態では、前記 $\text{PbZr}_x\text{Ti}(1-x)\text{O}_3$ とは別の組成を有する強誘電体膜の材料を用いる場合、あるいは、前記したB原子の安定点をより多数持

った強誘電体膜の材料を用いる場合を説明する。

#### 【0065】

図6は、第6の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造および分極位置を示す鳥瞰図である。

#### 【0066】

図6に示す結晶構造は、図5に示した結晶構造と比べて、安定点の方向がX軸、Y軸、Z軸に対して $45^\circ$ ずれた位置に近い。これにより、X軸、Y軸、Z軸に対して $45^\circ$ ずれた方向の第1の電界とその反対方向の電界で2つの安定点に到達することができ、さらに、第1の電界に対して $90^\circ$ ずれた第2の電界とその反対方向の電界で2つの安定点に到達することができ、計4値のメモリとすることができ、さらに、第1の電界および第2の電界に対して $90^\circ$ ずれた第3の電界とその反対反対の電界で2つの安定点に到達することができる。これによって、6値の情報を1つの強誘電体膜に記憶させることができる。

#### 【0067】

##### <第7の実施形態>

第7の実施形態では、前述した第1～第3の実施形態を2次元空間全体に拡張した場合を説明する。

#### 【0068】

図7(a)は、第7の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造をX-Y面から見て示す。

#### 【0069】

この結晶構造は、X面、Y面に対して、 $0\sim 360^\circ$ の任意の方向に電界を印加すると、結晶中央から一定以上の距離離れた位置にB原子の多数の安定点が存在し、これにより多値の情報を1つの強誘電体膜に記憶させることができる。本例では、8値の情報、即ち、3ビットの情報を記憶させることができる。

#### 【0070】

図7(b)は、強誘電体膜の結晶構造のX-Y面におけるポテンシャル分布曲線を示している。

#### 【0071】

図 7 (b) に示すように結晶中に B 原子の安定点が 4 つあれば、前述した第 1 ～第 3 の実施形態に係る強誘電体メモリセルのように 4 値の情報を記憶させることができるが、さらに、結晶中央から一定以上の距離離れた位置に B 原子の安定点がより多く存在する場合には、第 7 の実施形態のように、安定点の数だけの多値の情報を記憶させることができる。

#### 【0 0 7 2】

##### <第 8 の実施形態>

第 8 の実施形態では、前述した第 4 ～第 6 の実施形態を 3 次元空間全体に拡張した場合を説明する。

#### 【0 0 7 3】

図 8 は、第 8 の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造を示す鳥瞰図である。

#### 【0 0 7 4】

この結晶構造は、X 面、Y 面、Z 面に対して、 $0 \sim 360^\circ$  の任意の方向に電界を印加すると、結晶中央から一定以上の距離離れた位置に B 原子の多数の安定点が存在し、これにより多値の情報を 1 つの強誘電体膜に記憶させることができる。本例では、安定点の位置を球の表面で示しており、無数ビットの情報（あるいはアナログ値）を記憶させることができる。なお、結晶によっては、実際の安定点が 3 次元空間の限られた場所であることも有るし、結晶中央から安定点までの距離が異なることもある。

#### 【0 0 7 5】

##### <第 9 の実施形態>

図 9 は、第 9 の実施形態に係る強誘電体メモリセルの強誘電体キャパシタの強誘電体膜と電極の構造を示す斜視図である。

#### 【0 0 7 6】

この強誘電体キャパシタは、強誘電体膜（例えば P Z T）90 の四方の側面に電極 (Electrode) 91～94 を配置し、第 1 ～第 3 の実施形態を参照して前述したように電界を印加することにより、多値情報の記憶が可能な構造を実現することができる。ここで、図示のように、4 つの電極 91～94 を S i 基板（図示せず）に対し

て立てた状態で配置しても良いし、4つの電極を90回転させてSi基板（図示せず）に対して平行な状態で配置しても良い。

#### 【0077】

##### <第10の実施形態>

図10は、第10の実施形態に係る強誘電体メモリセルの強誘電体キャパシタの強誘電体膜と電極の構造を示す斜視図である。

#### 【0078】

この強誘電体キャパシタは、強誘電体膜（例えばPZT）90の六方の側面に電極91～96を配置し、第4～第6の実施形態を参照して前述したように電界を印加することにより、多値情報の記憶が可能な構造を実現することができる。

#### 【0079】

##### <第11の実施形態>

図11は、第11の実施形態に係る強誘電体メモリセルの強誘電体キャパシタの強誘電体膜と電極の構造を示す斜視図である。

#### 【0080】

この強誘電体キャパシタは、強誘電体膜（例えばPZT）90の上面に4つの電極91～94を配置し、第1～第3の実施形態を参照して前述したように電界を印加することにより、多値情報の記憶が可能な構造を実現することができる。ここで、電界は、電圧が印加された電極91～94から強誘電体膜90の表面、内部、表面、電極91～94の経路で伝わる。

#### 【0081】

##### <第12の実施形態>

図12は、第12の実施形態に係る強誘電体メモリセルの強誘電体キャパシタの強誘電体膜と電極の構造を示す斜視図である。

#### 【0082】

この強誘電体キャパシタは、円柱状の強誘電体膜（例えばPZT）90の側面に沿って複数の電極91～9nを配置し、第7の実施形態を参照して前述したように電界を印加することにより、強誘電体膜90に多値の情報を記憶させることができる。

。

## 【0083】

この実施形態に準じて、強誘電体膜の六方の側面に多数の電極を配置し、第8の実施形態を参照して前述したように電界を印加することにより、強誘電体膜に多値の情報を記憶させることができる。

## 【0084】

次に、前述した4値のデータを記憶可能な第1～第3、第9、第11の実施形態のいずれかの強誘電体キャパシタを用いた強誘電体メモリセルの数例について第13の実施形態～第15の実施形態で説明する。

## 【0085】

<第13の実施形態>

図13(a)は、第13の実施形態に係る強誘電体メモリセルの等価回路を示す。

## 【0086】

図中に示す4角の記号は、強誘電体キャパシタの強誘電体膜（例えば $\text{PbZr}_x\text{Ti}_{(1-x)}\text{O}_3$ ）90°の領域であり、この領域内に示す0～3の位置にTi原子の安定点を有し、内部に4値の情報を記憶させることが可能である。ここでは、Ti原子の安定点を示しているが、他のペロブスカイト構造の場合には他の原子であっても良い。上記強誘電体膜90°の領域内の位置0～3に対応する4端は電極0～3を意味し、この電極0～3と強誘電体膜90°は1個の4端子キャパシタCを形成している。

## 【0087】

即ち、このメモリセルは、1個の4端子キャパシタCと、この4端子キャパシタCの電極0～3に対応して、1個の選択トランジスタQの一端と、3本のプレート線PL1、PL、PL2の各一端が接続されており、上記選択トランジスタQの他端にビット線BLが接続され、そのゲートにワード線WLが接続されている。

## 【0088】

図13(b)は、図13(a)のメモリセルのTi原子が例えば3の位置に存在していた場合の読み出し動作例Read(“State 3”)を示す。



## 【0 0 8 9】

読み出しは、ワード線WLの電位を上げ、選択トランジスタをオン状態にして行う。Ti原子が3の位置に存在していた場合、PLの電位を上げてても位置が変化せず、このPLの電位を上げた状態では、PL1の電位を上げてても変化しないが、PL2の電位を上げると、電界が右上方向に向き、この電界によりTi原子が動き、ビット線BLに電荷が読まれる。

## 【0 0 9 0】

なお、Ti原子が1の位置に存在していた場合、PLの電位を上げてても位置が変化せず、このPLの電位を上げた状態では、PL2の電位を上げてても変化しないが、PL1の電位を上げると、電界が右下方向に向き、この電界によりTi原子が動き、ビット線BLに電荷が読まれる。

## 【0 0 9 1】

また、Ti原子が2の位置に存在していた場合、PLの電位を上げるだけで0の位置に移動し、ビット線BLには電荷が発生する。

## 【0 0 9 2】

また、Ti原子が0の位置に存在していた場合、PL、PL1、PL2のどの電位を上げててもビット線BLに電荷が読まれない。

## 【0 0 9 3】

図13(c)は、図13(a)のメモリセルの読み出し動作後にTi原子を3の位置に書き込む(書き戻す)動作例(Write “State 3”)を示す。

## 【0 0 9 4】

書き込みは、ワード線WLの電位を上げ、選択トランジスタをオン状態にして行う。そして、ビット線BL、3本のプレート線PL1、PL、PL2のうちの1つだけ電位を下げ、残りの線の電位を上げるにより、0～3のうちの特定の位置にTi原子を移動させる(書き込む)ことができる。

## 【0 0 9 5】

図示の例では、BL、PL、PL1、PL2の電位を上げた状態で、PL2のみ電位を下げるにより、3の位置にTi原子を移動させることができる。その後、PL2のみ電位を上げ、残りのBL、PL、PL1の電位を下げ、ワード

線WLの電位を下げ、選択トランジスタを閉じてスタンバイ状態に入る。

#### 【0096】

上記したような動作により、図13(a)に示したメモリセルに対して、4値の情報を読み書きすることができる。

#### 【0097】

＜第14の実施形態＞

図14(a)は、第14の実施形態に係る強誘電体メモリセルの等価回路を示す。

#### 【0098】

図中に示す4角の記号は、強誘電体キャパシタの強誘電体膜（例えば $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ ）90°の領域であり、この領域内に示す0～3の位置にTi原子の安定点を有し、4値の情報を記憶させることが可能である。ここでは、Ti原子の安定点を示しているが、他のペロブスカイト構造の場合には他の原子であっても良い。上記強誘電体膜90°の領域内の位置0～3に対応する4端は電極0～3を意味し、この電極0～3と強誘電体膜は1個の4端子キャパシタCを形成している。

#### 【0099】

即ち、このメモリセルは、1個の4端子キャパシタCと、この4端子キャパシタCの電極0～3に対応して、2個の選択トランジスタQ0、Q1の各一端と、2本のプレート線PL0、PL1の各一端が接続されており、上記2個の選択トランジスタQ0、Q1の各他端に対応してビット線BL0、BL1が接続され、各ゲートに共通にワード線WLが接続されている。

#### 【0100】

図14(b)は、図14(a)のメモリセルの読み出し動作例（Ti原子が2の位置に存在していた場合）を示す。

#### 【0101】

読み出しは、ワード線WLの電位を上げ、選択トランジスタをオン状態にして行う。Ti原子が2の位置に存在していた場合、PL0、PL1の電位を上げると、電界が右上方向に向き、この電界によりTi原子が動き、ビット線BL0、

BL1に電荷が読まれる。この時、Ti原子が2の位置から右上の位置に動くので、BL0から見ると大きな分極反転、BL1から見ると小さな分極反転となり、BL0の電位がBL1の電位より上がる。

#### 【0102】

図14(c)は、図14(a)に示したメモリセルの読み出し動作後にTi原子を2の位置に書き込む(書き戻す)動作例を示す。

#### 【0103】

書き込みは、ワード線WLの電位を上げ、選択トランジスタをそれぞれオン状態にして行う。Ti原子を2の位置に書き戻すためには、BL0の電位を“H”レベルまで上げ、BL1の電位を“H”レベルと“L”レベルの中間電位程度にした状態で、PL0、PL1の電位をそれぞれ上げ下げする。

#### 【0104】

図14(d)は、図14(a)のメモリセルの読み出し動作例(Ti原子が3の位置に存在していた場合)を示す。

#### 【0105】

PL0、PL1の電位を上げると、電界が右上方向に向き、この電界によりTi原子が3の位置から右上の位置に動くので、BL1から見ると大きな分極反転、BL0から見ると小さな分極反転となり、BL1の電位がBL0の電位より上がる。

#### 【0106】

図14(e)は、図14(d)に示したメモリセルの読み出し動作後にTi原子を3の位置に書き込む(書き戻す)動作例を示す。

#### 【0107】

Ti原子を3の位置に書き戻すためには、図14(c)に示したTi原子を2の位置に書き戻す動作とはBL0とBL1の電位関係を逆にした状態で、PL0、PL1の電位をそれぞれ上げ下げする。

#### 【0108】

なお、Ti原子が1の位置に存在していた場合には、PL0、PL1の電位を上げると、電界が右上方向に向き、この電界によりTi原子が1の位置から右上

の位置に動き、BL1の電位は下がり、BL0の電位は僅かに上がるので、前述したTi原子が2、3の位置に存在していた場合と区別することができる。

#### 【0109】

Ti原子を1の位置に書き戻す場合、BL0の電位を“L”レベルに下げ、BL1の電位を“H”レベルと“L”レベルの中間電位程度とした状態で、PL0、PL1の電位をそれぞれ上げ下げする。

#### 【0110】

また、Ti原子が0の位置に存在していた場合には、PL0、PL1の電位を上げると、電界が右上方向に向き、この電界によりTi原子が1の位置から右上の位置に動き、BL0の電位は下がり、BL1の電位は僅かに上がるので、前述したTi原子が1、2、3の位置に存在していた場合と区別することができる。

#### 【0111】

Ti原子を0の位置に書き戻す場合、BL1の電位を“L”レベルに下げ、BL0の電位を“H”レベルと“L”レベルの中間電位程度とした状態で、PL0、PL1の電位をそれぞれ上げ下げする。

#### 【0112】

上記したような動作により、図14(a)に示したメモリセルに対して、4値の情報のデータを読み書きすることができる。

#### 【0113】

##### <第15の実施形態>

第15の実施形態では、前記先願に開示されているように強誘電体キャパシタと選択トランジスタとを並列接続し、それらを複数個を直列接続して強誘電体メモリセルを構成する方式を発展させた場合を説明する。

#### 【0114】

図15(a)は、第15の実施形態に係る強誘電体メモリセルの複数個が直列接続されたメモリセルブロックの等価回路を示す。

#### 【0115】

図中に示す4角の記号は、強誘電体キャパシタの強誘電体膜（例えば $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ ）90の領域であり、この領域内に示す0～3の位置にTi原子

の安定点を有し、4 値の情報を記憶させることが可能である。ここでは、 $T_i$  原子の安定点を示しているが、他のペロブスカイト構造の場合には他の原子であっても良い。上記強誘電体膜域内の位置 0～3 に対応する 4 端は電極 0～3 を意味し、この電極 0～3 と強誘電体膜は 1 個の 4 端子キャパシタ  $C$  を形成している。

#### 【0116】

即ち、各メモリセルユニットの構成は、1 個の 4 端子キャパシタ  $C$  と、この 4 端子キャパシタ  $C$  の電極 0～3 のうちの 2 つの端子に第 1 の選択トランジスタ  $Q_0$  のソース、ドレインが接続され、残りの 2 つの端子に第 2 の選択トランジスタ  $Q_1$  のソース、ドレインが接続され、上記 2 つの選択トランジスタ  $Q_0$ 、 $Q_1$  の各ゲートに共通にワード線  $WL_i$  ( $i = 0, 1, 2, 3$ ) が接続されている。

#### 【0117】

そして、複数個のメモリセルユニットが直列接続されてメモリセルブロックを構成し、その一端のメモリセルの 2 つの選択トランジスタ  $Q_0$ 、 $Q_1$  の各一端が共通にプレート線  $PL$  に接続され、他端のメモリセルの 2 つの選択トランジスタ  $Q_0$ 、 $Q_1$  の各一端が対応してブロック選択トランジスタ  $BS_0$ 、 $BS_1$  を介してビット線  $BL_0$ 、 $BL_1$  に接続されている。上記ブロック選択トランジスタ  $BS_0$ 、 $BS_1$  の各ゲートには共通にブロック選択線  $BSL$  が接続されており、上記ビット線  $BL_0$ 、 $BL_1$  は 1 個のセンスアンプ  $SA$  に相補的なデータ線対として接続されている。

#### 【0118】

図 15 (b) は、図 15 (a) のメモリセルブロックの読み出し動作例を示す。ここでは、例えばワード線  $WL_2$  に接続されているメモリセルユニットを選択し、このメモリセルユニットの 4 端子キャパシタの  $T_i$  原子が例えば 1 の位置に存在していた場合の読み出し動作例を示す。

#### 【0119】

まず、スタンバイ状態において、 $BL_0$ 、 $BL_1$  をそれぞれ 0 V にプリチャージしておく。アクティブ状態になると、ワード線  $WL_2$  の電位を“L”レベルに下げ、残りのワード線  $WL_0$ 、 $WL_1$ 、 $WL_3$  およびブロック選択線  $BSL$  の電位を“H”レベルに上げ、選択メモリセルの選択トランジスタをオフ状態、残り

の非選択メモリセルの選択トランジスタおよびブロック選択トランジスタBS0、BS1をそれぞれオン状態にする。そして、プレート線PLの電位を“H”レベルに上げる。これにより、選択メモリセルの4端子キャパシタにのみ電圧が印加され、そのデータがBL0、BL1に読み出される。

#### 【0120】

この際、Ti原子が1の位置に存在していた場合、PLの電位を上げると、電界が右方向に向き、この電界によりTi原子が図中の強誘電体膜領域内の左上の位置から右端の位置に動き、BL0、BL1に電荷が発生する。この時、Ti原子が1の位置から右端の位置に動くので、BL0から見ると小さな分極反転、BL1から見ると大きな分極反転となり、BL1の電位がBL0の電位より上がる。

#### 【0121】

図15(c)は、図15(a)に示したメモリセルユニットの読み出し動作後にTi原子を1の位置に書き込む(書き戻す)動作例を示す。

#### 【0122】

書き込みは、選択メモリセルユニットの選択トランジスタをオフ状態、残りの非選択メモリセルユニットの選択トランジスタおよびブロック選択トランジスタBS0、BS1をそれぞれオン状態にして行う。そして、BL1の電位を“H”レベルまで上げ、BL0の電位を“H”レベルと“L”レベルの中間電位程度にした状態で、PLの電位を上げ下げすることにより、選択メモリセルユニットの4端子キャパシタのTi原子を1の位置に書き戻すことができる。

#### 【0123】

なお、選択メモリセルユニットのTi原子が2の位置に存在していた場合の読み出し/書き込みを行う場合は、上記したTi原子が1の位置に存在していた場合の読み出し/書き込みと比べて、BL0、BL1の電位関係を逆にすればよい。

#### 【0124】

また、選択メモリセルユニットのTi原子が0の位置に存在していた場合の読み出し/書き込みを行う場合は、PLの電位を上げると、電界が右方向に向き、

この電界により T i 原子が図中の強誘電体膜領域内の右端の位置に動き、B L 0、B L 1 に電荷が発生する。この時、T i 原子が強誘電体膜領域内の右上の 0 の位置から右端の位置に動き、B L 0 の電位は下がり、B L 1 の電位は僅かに上がるので、前述した T i 原子が 1、2 の位置に存在していた場合と区別することができる。

#### 【0 1 2 5】

T i 原子を 0 の位置に書き戻す場合、B L 0 の電位を“L”レベルに下げ、B L 1 の電位を“H”レベルと“L”レベルの中間電位程度とした状態で、P L の電位を上げ下げする。

#### 【0 1 2 6】

また、選択メモリセルユニットの T i 原子が 3 の位置に存在していた場合の読み出し／書き込みを行う場合は、P L の電位を上げると、電界が右方向に向き、この電界により T i 原子が図中の強誘電体膜領域内の右端の位置に動き、B L 0、B L 1 に電荷が発生する。この時、T i 原子が強誘電体膜領域内の右下の 3 の位置から右端の位置に動き、B L 1 の電位は下がり、B L 0 の電位は僅かに上がるので、前述した T i 原子が 0、1、2 の位置に存在していた場合と区別することができる。

#### 【0 1 2 7】

T i 原子を 3 の位置に書き戻す場合、B L 1 の電位を“L”レベルに下げ、B L 0 の電位を“H”レベルと“L”レベルの中間電位程度とした状態で、P L の電位を上げ下げする。

#### 【0 1 2 8】

上記したような動作により、図 1 5 (a) に示した個々のメモリセルユニットに対して、4 値の情報を読み書きすることができる。

#### 【0 1 2 9】

#### 【発明の効果】

上述したように本発明の半導体記憶装置によれば、1 つの強誘電体膜中に 3 値以上の多値の分極データを記憶可能な強誘電体メモリセルを実現でき、より高密度化、高集積化を実現することができる。

**【図面の簡単な説明】****【図 1】**

本発明の第 1 の実施形態に係る強誘電体メモリセルに用いられる強誘電体キャパシタの強誘電体膜の結晶構造を示す鳥瞰図および情報を記憶する分極位置を X-Y、Y-Z、Z-X 面から見た場合の示す平面図。

**【図 2】**

第 2 の実施形態に係る強誘電体メモリセルの強誘電体膜の材料として  $PbZr_xTi_{(1-x)}O_3$  を用いた場合の結晶構造および分極位置を X-Y 面から見て示す平面図。

**【図 3】**

第 3 の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造および分極位置を示す鳥瞰図。

**【図 4】**

第 4 の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造とおよび分極位置を示す鳥瞰図および平面図。

**【図 5】**

第 5 の実施形態に係る強誘電体メモリセルの強誘電体膜の材料として  $PbZr_xTi_{(1-x)}O_3$  を用いた場合の結晶構造および分極位置を X-Y 面から見て示す平面図。

**【図 6】**

第 6 の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造および分極位置を示す鳥瞰図。

**【図 7】**

第 7 の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造を X-Y 面から見て示す平面図およびポテンシャル分布曲線の一例を示す図。

**【図 8】**

第 8 の実施形態に係る強誘電体メモリセルの強誘電体膜の結晶構造を示す鳥瞰図。

**【図 9】**



第 9 の実施形態に係る強誘電体メモリセルの強誘電体キャパシタの強誘電体膜と電極の構造を示す斜視図。

【図 1 0】

第 1 0 の実施形態に係る強誘電体メモリセルの強誘電体キャパシタの強誘電体膜と電極の構造を示す斜視図。

【図 1 1】

第 1 1 の実施形態に係る強誘電体メモリセルの強誘電体キャパシタの強誘電体膜と電極の構造を示す斜視図。

【図 1 2】

第 1 2 の実施形態に係る強誘電体メモリセルの強誘電体キャパシタの強誘電体膜と電極の構造を示す斜視図。

【図 1 3】

第 1 3 の実施形態に係る強誘電体メモリセルを示す等価回路図および読み出し動作例と書き込み動作例を示すタイミング波形図。

【図 1 4】

第 1 4 の実施形態に係る強誘電体メモリセルを示す等価回路図および読み出し動作例と書き込み動作例を示すタイミング波形図。

【図 1 5】

第 1 5 の実施形態に係る強誘電体メモリセルを示す等価回路図および読み出し動作例と書き込み動作例を示すタイミング波形図。

【図 1 6】

従来の強誘電体キャパシタの構造とそれを用いたメモリセルの等価回路および強誘電体膜の結晶構造および情報を記憶する分極位置を示す図。

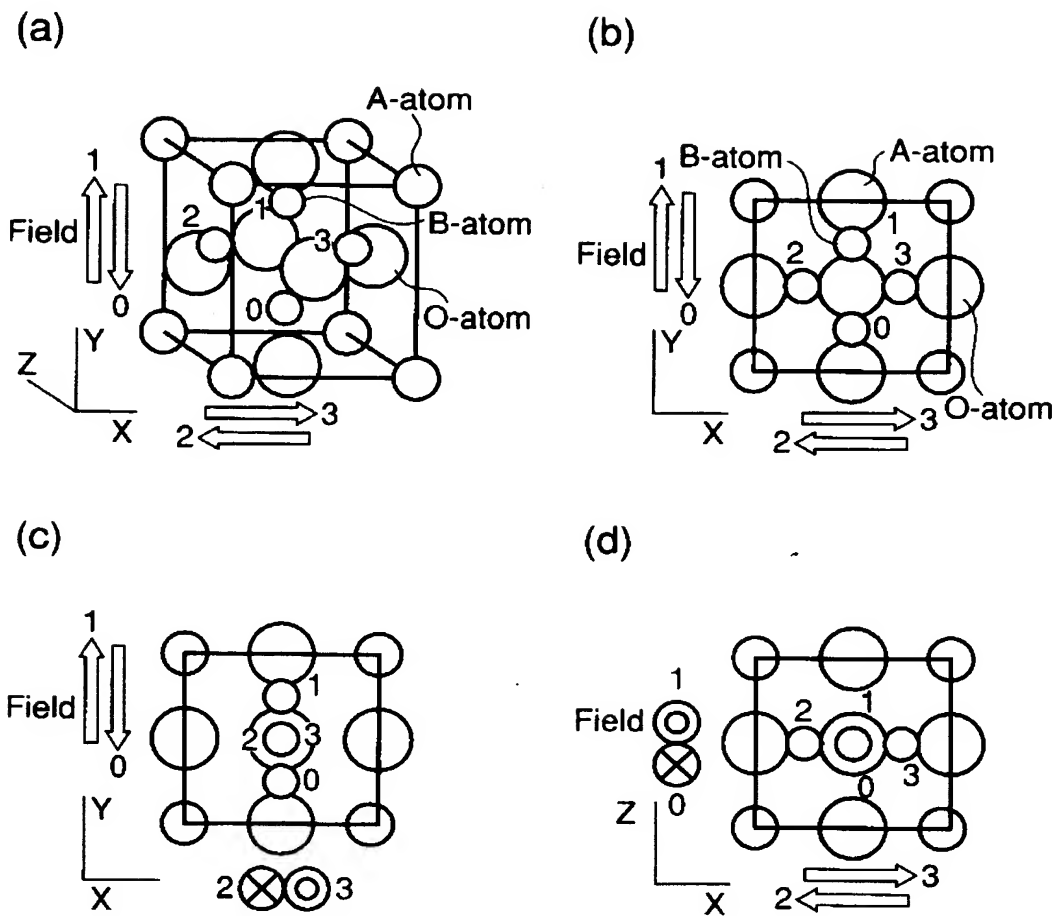
【符号の説明】

90…強誘電体膜、

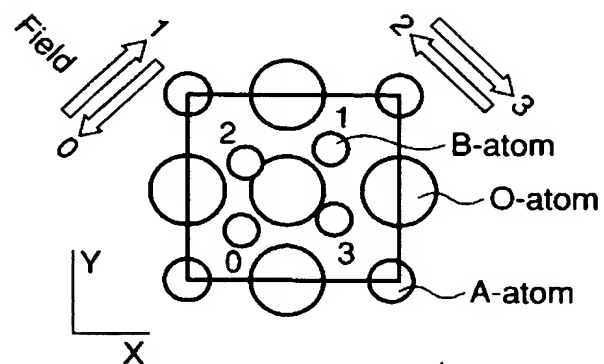
91～94…電極(Electrode)。

【書類名】 図面

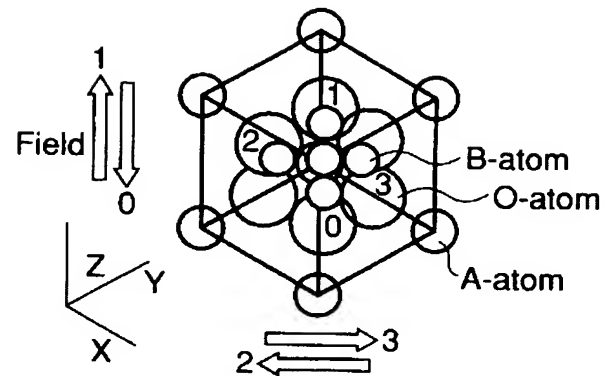
【図 1】



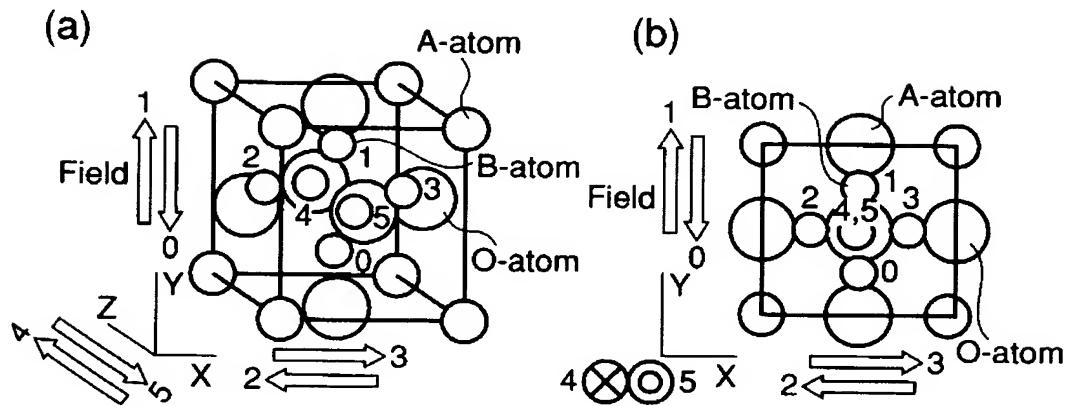
【図 2】



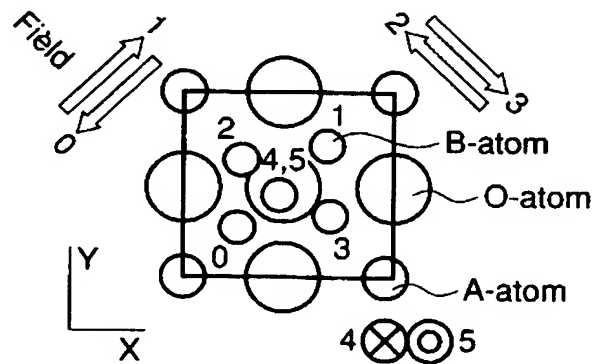
【図 3】



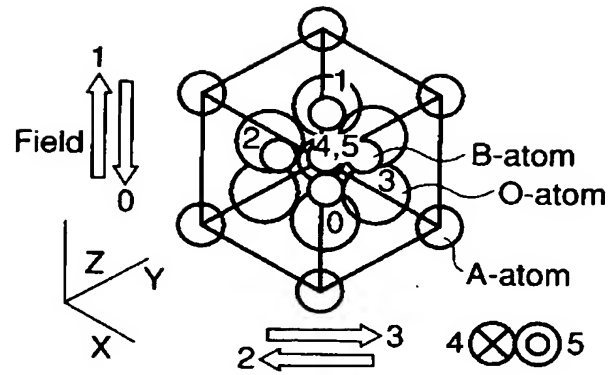
【図 4】



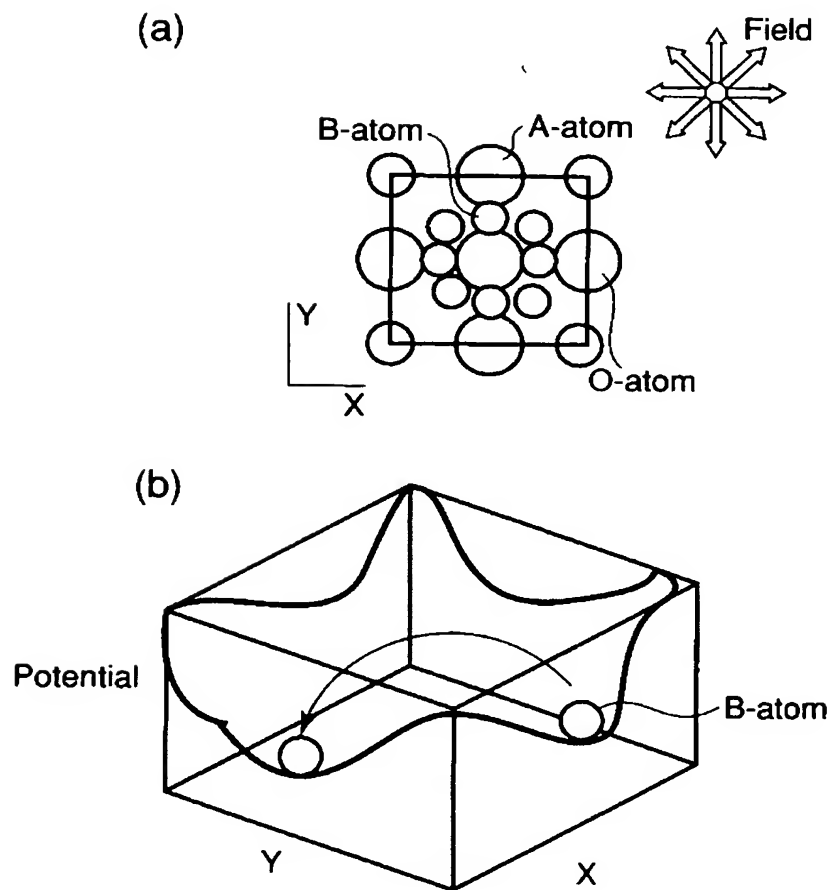
【図 5】



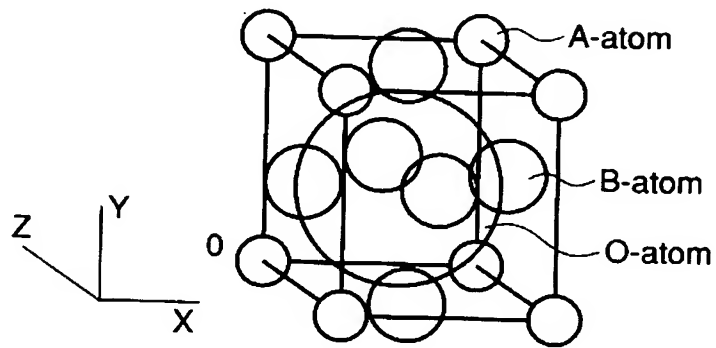
【図 6】



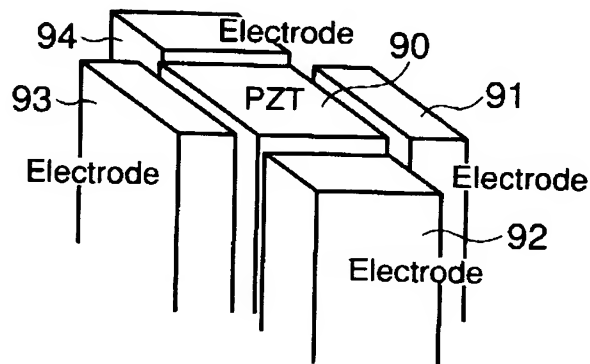
【図 7】



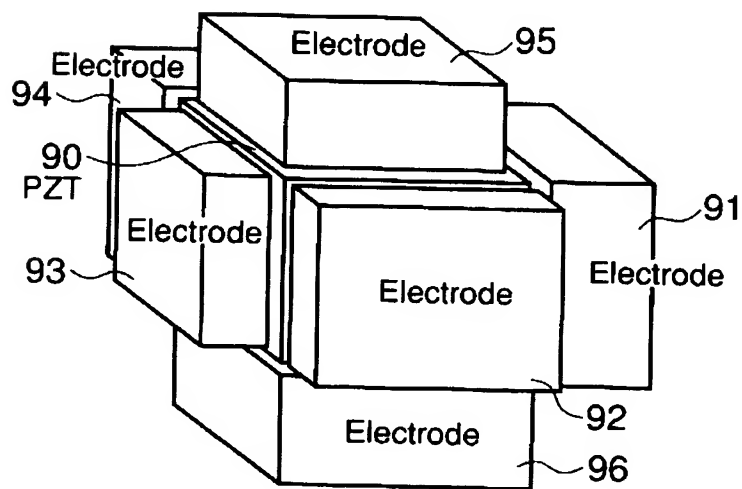
【図 8】



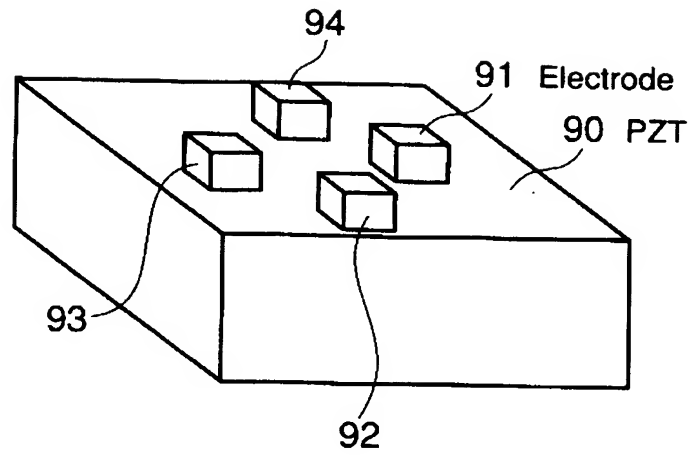
【図 9】



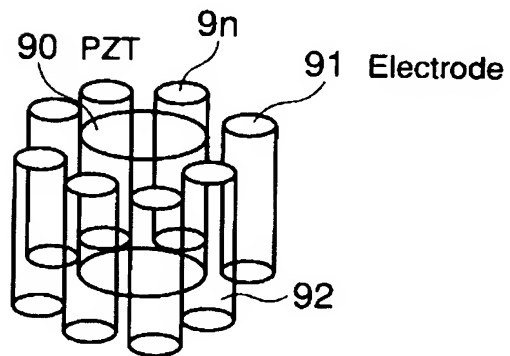
【図 1 0】



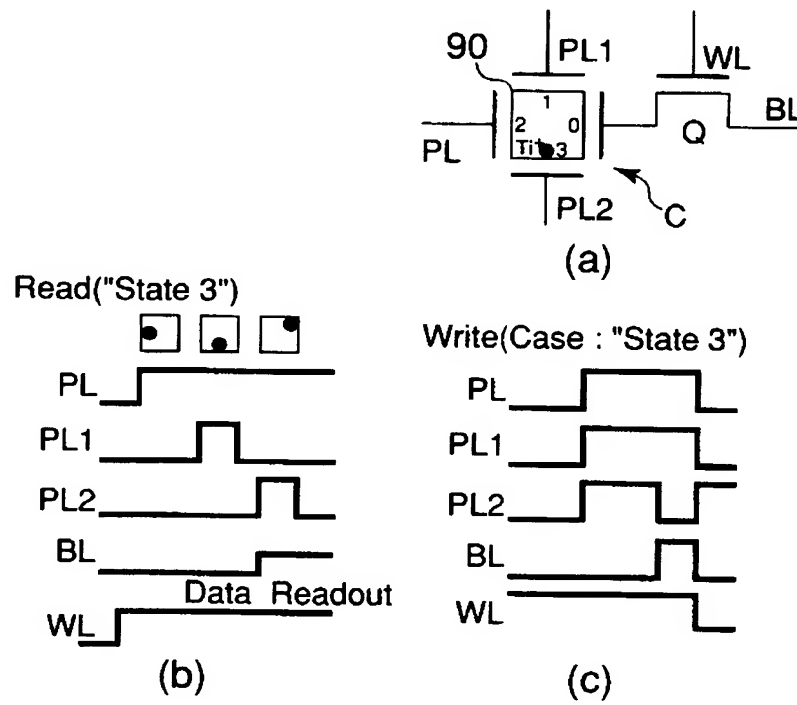
【図 11】



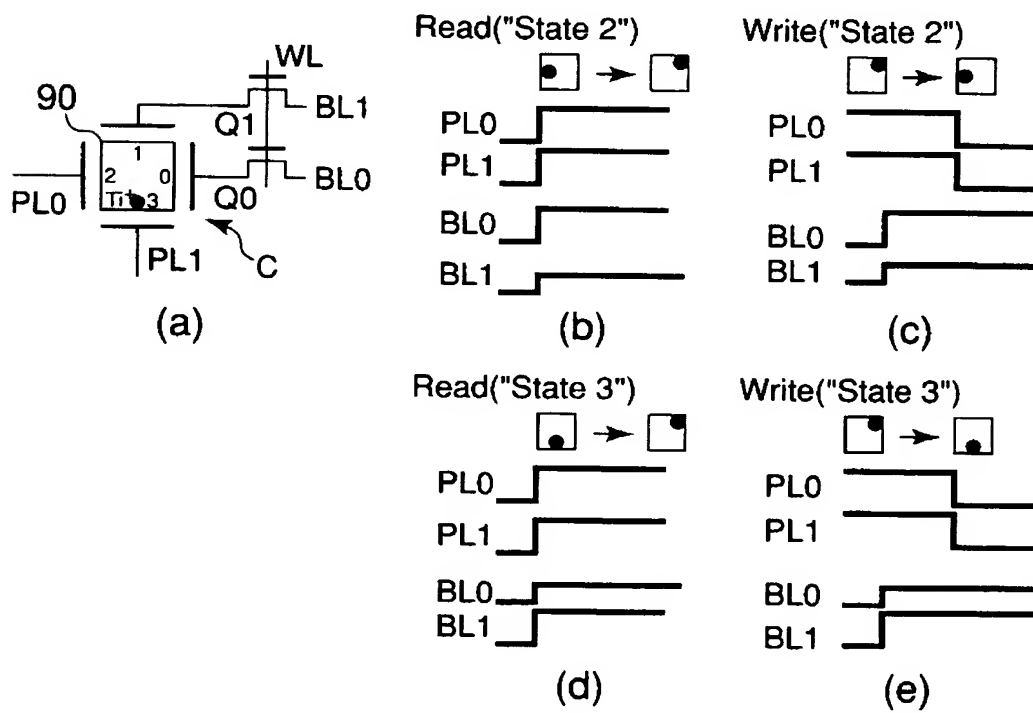
【図 12】



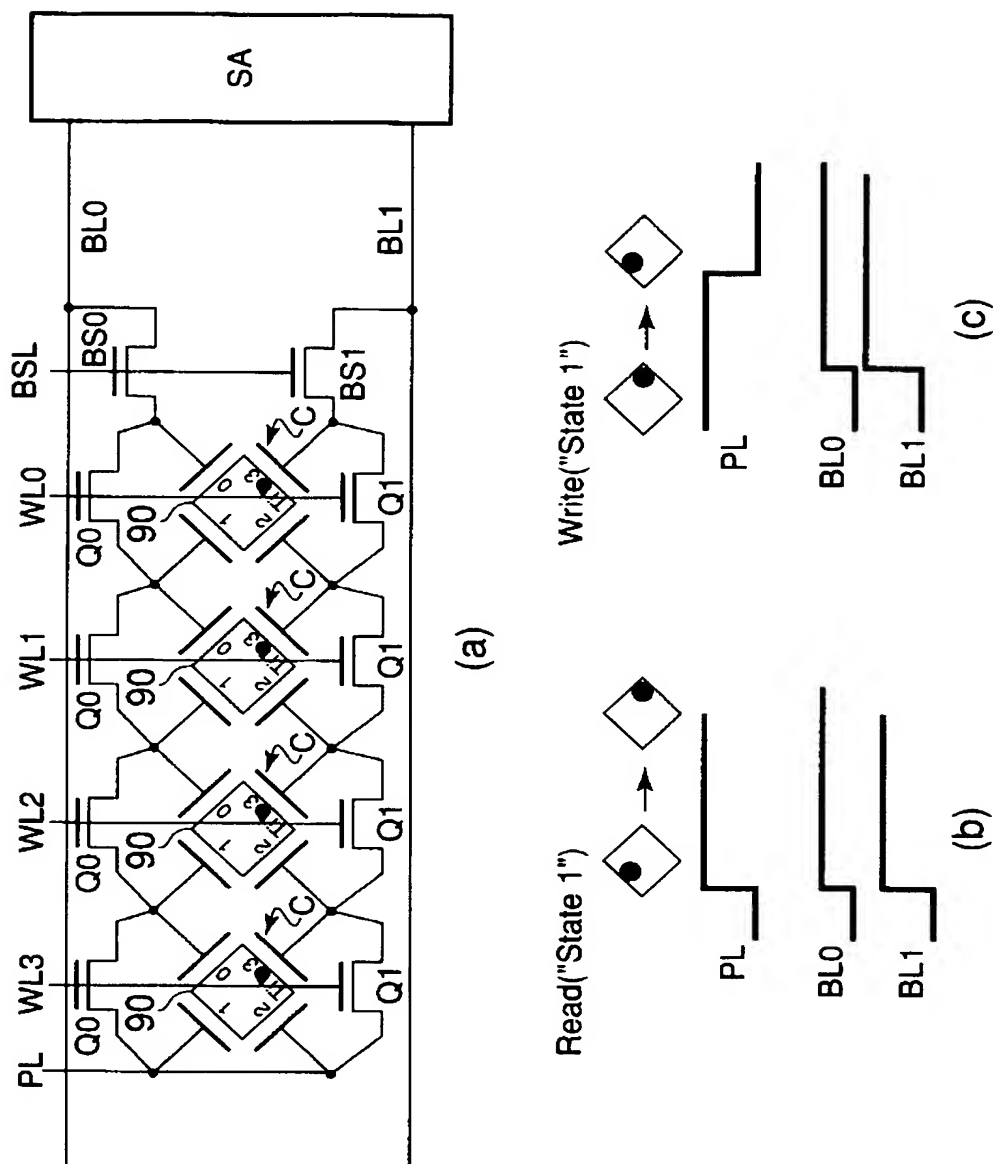
【図 13】



【図 14】

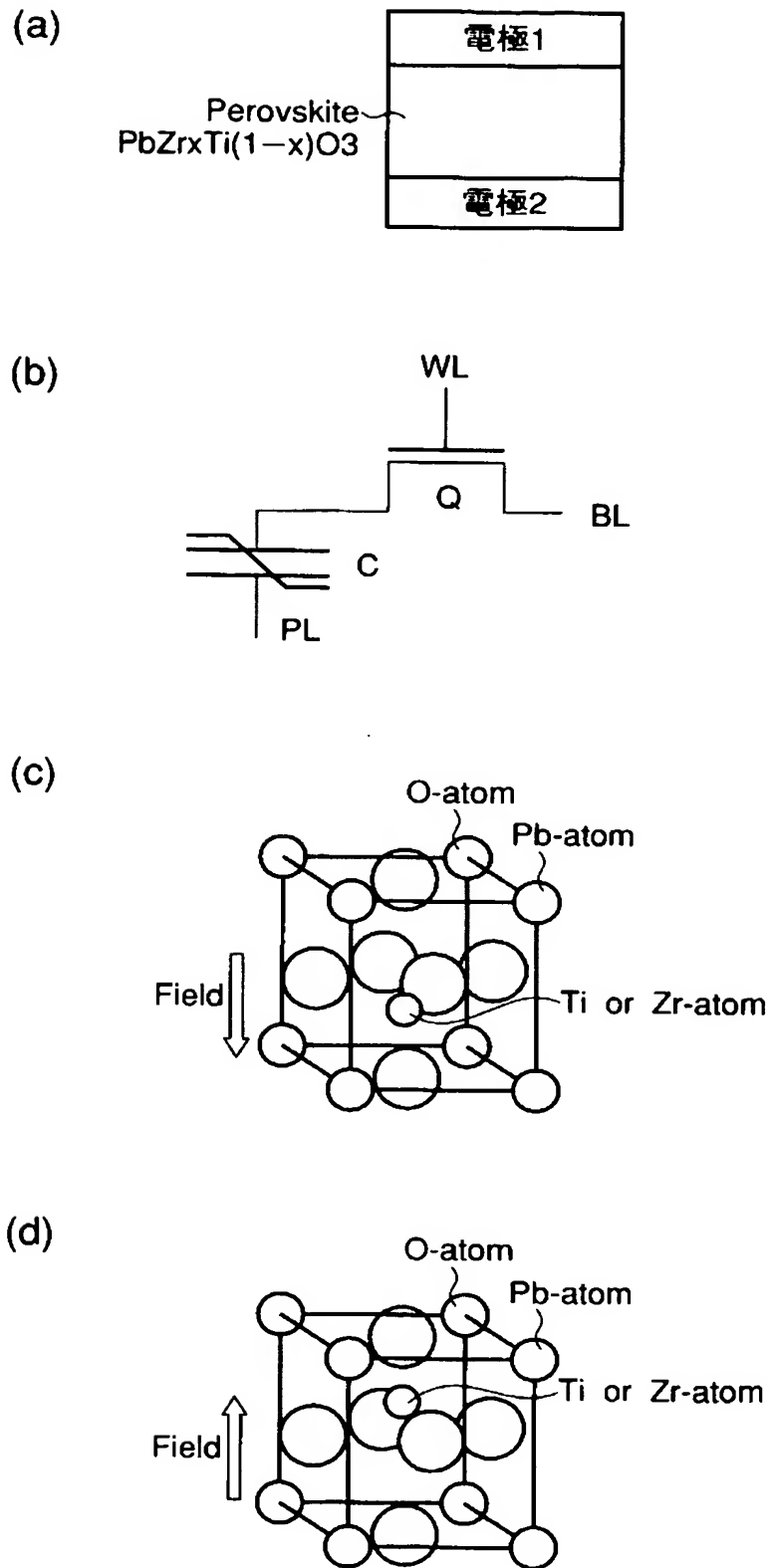


【図 15】





【図 1 6】



【書類名】 要約書

【要約】

【課題】 1つの強誘電体素子中に3値以上の多値の分極データを記憶可能な強誘電体メモリセルを実現し、強誘電体メモリの高密度化、高集積化を実現する。

【解決手段】 少なくとも原子A、原子B、原子Oからなる $ABO_3$ 系結晶構造、または、 $ABO_3$ 系ペロブスカイト構造を有する強誘電体材料を用いた強誘電体素子90に対する印加電界を制御することにより、原子Bが原子A或いは原子Oに対して相対的に位置が移動し、安定点で残留分極としてデータを記憶する半導体記憶装置において、一つの強誘電体素子内で、原子Bが、第1の方向の両端の2点と、前記第1の方向に垂直な第2の方向の両端の2点の計4点の位置で2ビットの情報を記憶する。

【選択図】 図9

特願2002-200776

出願人履歴情報

識別番号

[000003078]

- |          |                |
|----------|----------------|
| 1. 変更年月日 | 2001年 7月 2日    |
| [変更理由]   | 住所変更           |
| 住 所      | 東京都港区芝浦一丁目1番1号 |
| 氏 名      | 株式会社東芝         |
|          |                |
| 2. 変更年月日 | 2003年 5月 9日    |
| [変更理由]   | 名称変更           |
|          | 住所変更           |
| 住 所      | 東京都港区芝浦一丁目1番1号 |
| 氏 名      | 株式会社東芝         |